

PAT-NO: JP405061069A

DOCUMENT-IDENTIFIER: JP 05061069 A

TITLE: MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: March 12, 1993

INVENTOR-INFORMATION:

NAME

TOYODA, YOSHIHIKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

N/A

APPL-NO: JP03223778

APPL-DATE: September 4, 1991

INT-CL (IPC): G02F001/136, H01L021/90 , H01L027/12 , H01L029/784

ABSTRACT:

PURPOSE: To reduce the capacity of a crossing part and to prevent the reduction of a speed at the rise time of a source signal, or a gate signal by making a wiring width in the crossing part of a gate wiring and a source wiring narrower than parts except the crossing part.

CONSTITUTION: As to the matrix type liquid crystal display device provided with plural transistors, the source wiring 5 and the gate wiring 3, the width of the gate wiring 3 in the crossing part of the gate wiring 3 and the source wiring 5 is made narrower than the other parts, that means, it is made $1/N$ ($N>1$), and the length of it is made L_g times of the length of one pitch of the gate wiring 3. And also, the width of the source wiring 5 is made narrower than the other parts, that means, it is made $1/M$ ($M>1$), the length of it is

made L_s times of the length of one pitch of the source wiring 5. Thus, the capacity of the crossing part becomes $1/NM$. Meanwhile, the rate of increasing the resistance of the gate wiring 3 and the source wiring 5 becomes $L_g(N-1)$ and $L_s(M-1)$ respectively, so that the increase of the wiring resistance can be almost disregarded in comparison with the capacity of the crossing part.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-61069

(43)公開日 平成5年(1993)3月12日

(51)Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 21/90	W	7353-4M		
27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A
			審査請求 未請求 請求項の数1(全 3 頁)	

(21)出願番号 特願平3-223778

(22)出願日 平成3年(1991)9月4日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 豊田 吉彦

兵庫県尼崎市塚口本町8丁目1番1号 三

菱電機株式会社材料研究所内

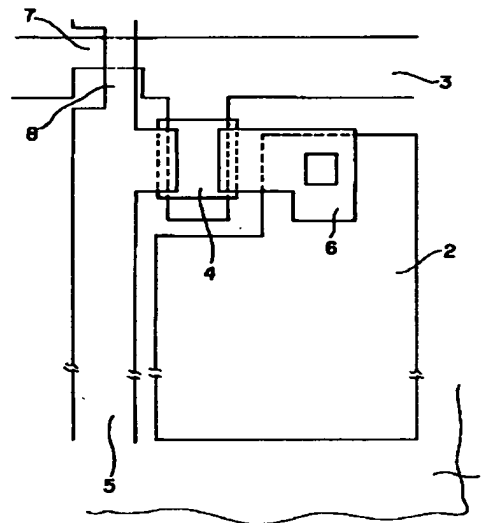
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 マトリクス形液晶表示装置

(57)【要約】 (修正有)

【目的】 薄膜トランジスタのゲート配線とソース配線の交差部における配線幅を低減し、ソース信号あるいはゲート信号の立上り速度の低下を抑制する。

【構成】 ゲート配線3とソース配線5の交差部におけるゲート配線とソース配線の少なくとも一方の幅を交差部以外の部分より細くし、交差部容量を低減する。



- 1: 透明絶縁基板
- 2: ゲート配線
- 3: ゲート配線
- 4: 半導体層
- 5: ソース配線
- 6: ドレイン電極
- 7: ゲート配線の配線幅の細い部分
- 8: ソース配線の配線幅の細い部分

【特許請求の範囲】

【請求項1】 複数のトランジスタとソース配線とゲート配線を有するマトリクス形液晶表示装置において、ゲート配線とソース配線の交差部におけるゲート配線とソース配線の少なくとも一方の幅を交差部以外の部分より細くしたことを特徴とするマトリクス形液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はマトリクス形液晶表示装置、特にその配線形状に関するものである。

【0002】

【従来の技術】 図2は例えば特開平2-44318号公報、特開平1-281434号公報に示された従来のマトリクス形液晶表示装置の平面図である。図において、1は透明絶縁基板、2は画素電極であり、一般にITOが使われている。3はゲート配線、4は半導体層であり、その下にはゲート絶縁膜が形成されている。5はソース配線、6はドレイン電極であり、符号2〜6で示した部分は透明絶縁基板1上に形成されている。

【0003】 次に、動作について説明する。ゲート配線3にゲート信号電圧が印加されると、半導体層4にキャリアが誘起され、薄膜トランジスタはオン状態となる。ゲート配線3に電圧が印加されていないときはオフ状態となる。オン状態では、ソース信号電圧はそのままドレイン電極6に印加される。実際には、このような構成のトランジスタがゲート配線3及びソース配線5の方向にマトリクス状に配列されている。従って、個々のトランジスタに印加されるゲート電圧やソース電圧はそれぞれの配線の抵抗及び配線容量で決まる時定数で立ち上がることになる。

【0004】

【発明が解決しようとする課題】 従来の逆スタガ型薄膜トランジスタを有する液晶表示装置は以上のように構成されており、ソース配線5とゲート配線3間の容量についてはなら考慮されていなかった。このため、この容量とソース配線5の抵抗及びゲート配線3の抵抗とにより、ソース信号あるいはゲート信号の立ち上がり速度の低下を招くという課題があり、この容量としてはソース配線5とゲート配線3の交差部における容量即ち交差部容量があった。

【0005】 この発明は上記のような課題を解決するために成されたものであり、ソース配線とゲート配線の交差部容量を低減し、ソース信号あるいはゲート信号の立ち上がり速度の低下を防止することができるマトリクス形液晶表示装置を得ることを目的とする。

【0006】

【課題を解決するための手段】 この発明に係るマトリクス形液晶表示装置は、ゲート配線とソース配線の交差部におけるゲート配線とソース配線の少なくとも一方の幅を交差部以外の部分より細くしたものである。

【0007】

【作用】 この発明においては、ゲート配線とソース配線の交差部におけるゲート配線とソース配線の少なくとも一方の幅が交差部以外の部分より細いので、交差部容量が大幅に低減され、一方配線抵抗の増加分は僅かであり、ゲート信号及びソース信号の立ち上がり速度は低下しない。

【0008】

【実施例】 以下、この発明の実施例を図面とともに説明する。図1はこの実施例によるマトリクス形液晶表示装置の構成を示し、符号1〜6で示した部分は従来と同様である。7はゲート配線3とソース配線5の交差部においてゲート配線3の幅を他の部分より細く即ち $1/N$ ($N>1$) にした部分であり、その長さはゲート配線3の1ピッチの長さの L_g 倍である。又、8は同じくゲート配線3とソース配線5の交差部においてソース配線5の幅を他の部分より細く即ち $1/M$ ($M>1$) にした部分であり、その長さはソース配線5の1ピッチの長さの L_s 倍である。

【0009】 上記構成において、ゲート配線3とソース配線5の交差部ではそれぞれの配線幅を他の部分の $1/N$ 及び $1/M$ にしたので、交差部容量は従来に比べて $1/NM$ となり、大幅に低減することができる。一方、ゲート配線3及びソース配線5の1ピッチの長さに対する細くした部分7、8の長さの比はそれぞれ L_g 、 L_s であり、ゲート配線3及びソース配線5の抵抗の増加の割合はそれぞれ $L_g(N-1)$ 、 $L_s(M-1)$ となる。 L_g 、 L_s は通常 $1/10$ 程度と小さな値であるため、配線抵抗の増加は交差部容量に比べてほとんど無視できる。この結果、ゲート信号、ソース信号の立ち上がり速度の低下を防ぐことができる。

【0010】 なお、上記実施例ではゲート配線3及びソース配線5に共に細い部分7、8を設けたが、どちらか一方に設けても同様の作用効果を得ることができる。

【0011】

【発明の効果】 以上のようにこの発明によれば、交差部容量を大幅に低減することができ、配線抵抗の増加は交差部容量の低減に比べてほとんど無視することができるので、ゲート信号あるいはソース信号の立ち上がり速度の低下を防ぐことができる。

【図面の簡単な説明】

【図1】 この発明によるマトリクス形液晶表示装置の平面図である。

【図2】 従来のマトリクス形液晶表示装置の平面図である。

【符号の説明】

- 1 透明絶縁基板
- 3 ゲート配線
- 4 半導体層
- 5 ソース配線

3

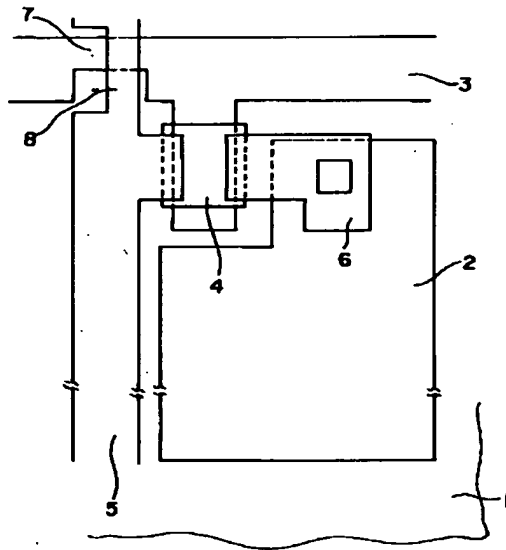
4

6 ドレイン電極

8 ソース配線の配線幅の細い部分

7 ゲート配線の配線幅の細い部分

【図1】



- 1: 透明絶縁基板
- 3: ゲート配線
- 4: 半導体層
- 5: ソース配線
- 6: ドレイン電極
- 7: ゲート配線の配線幅の細い部分
- 8: ソース配線の配線幅の細い部分

【図2】

